

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-053143

(43)Date of publication of application : 23.02.2001

(51)Int.Cl.

H01L 21/768

(21)Application number : 11-224732

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 09.08.1999

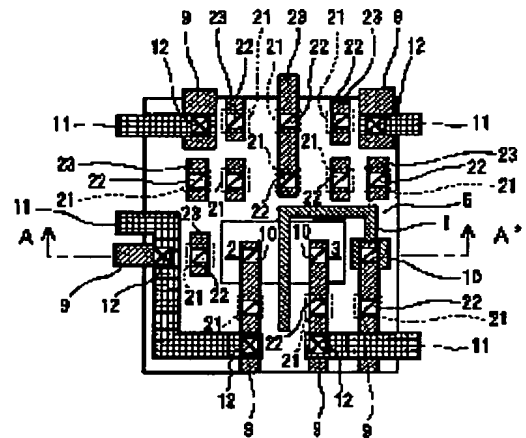
(72)Inventor : SAKURAI YASUO

(54) SEMICONDUCTOR DEVICE MANUFACTURING METHOD AND THE SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device manufacturing method and a semiconductor device for improving uniformity in size and shape of contact hole and via contact hole.

SOLUTION: In this semiconductor device, a gate 1, source 2, drain 3 as circuit elements 4 formed on substrate 6 surrounded with an element isolation layer 5 and first metal wiring 9 formed to first interlayer film 7 formed on this substrate 6 are connected via contact holes 10. Moreover, a contact etching stop layer 21 is provided as a protective layer, with which the etching of the contact hole 10 is not allowed to reach the substrate 6 at the contact side with the first interlayer film 7 in the region of the element isolation layer 5 of the substrate 6 and a dummy contact hole 22 is also provided in the region, in contact with the contact etching stop layer 21 of the first interlayer film 7.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-53143

(P 2 0 0 1 - 5 3 1 4 3 A)

(43) 公開日 平成13年 2月23日 (2001. 2. 23)

(51) Int. Cl.
H01L 21/768

識別記号

F I
H01L 21/90

テーマコード (参考)
D 5F033

審査請求 未請求 請求項の数 6 O L (全10頁)

(21) 出願番号 特願平11-224732

(22) 出願日 平成11年 8月 9日 (1999. 8. 9)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 桜井 康雄

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100068087

弁理士 森本 義弘

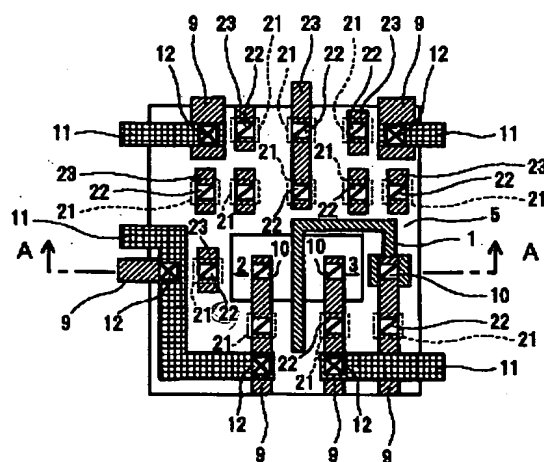
Fターム(参考) 5F033 QQ23 QQ37 VV01

(54) 【発明の名称】 半導体装置の製造方法と半導体装置

(57) 【要約】

【課題】 コンタクトホールやビアコンタクトホールの寸法や形状の均一性を向上させる半導体装置の製造方法と半導体装置を提供することを目的とする。

【解決手段】 本発明の半導体装置は、基板6に形成した素子分離層5で囲まれて形成した回路素子4としてのゲート1、ソース2、ドレイン3と、この基板6に成膜した第1層間膜7に形成した第1金属配線9とをコンタクトホール10を介して接続した半導体装置であって、基板6の素子分離層5の領域で第1層間膜7との当接側に、コンタクトホール10のエッチングを基板6まで到達させない保護層としてのコンタクトエッチングストップ層21を設け、第1層間膜7のコンタクトエッチングストップ層21と当接する領域にダミーのコンタクトホール22を設けたものである。



- 10 コンタクトホール
- 12 ビアコンタクトホール
- 21 コンタクトエッチングストップ層
- 22 ダミーのコンタクトホール
- 23 ダミーパターン

【特許請求の範囲】

【請求項 1】基板に形成した分離層で囲まれて形成した回路素子と、前記基板に成膜した絶縁膜に形成した配線層とをコンタクトホールを介して接続した半導体装置を製造するに際し、

基板の前記分離層の領域で前記絶縁膜と当接する側に、コンタクトホールのエッチングを前記基板まで到達させない保護層を形成してからこの基板に前記絶縁膜を成膜し、

前記絶縁膜の前記回路素子と当接する領域にコンタクトホールをエッチング形成するとともに、前記絶縁膜の前記保護層と当接する領域にダミーのコンタクトホールをエッチング形成し、

前記コンタクトホールを介して回路素子に接続する配線層を形成して半導体装置を製造する半導体装置の製造方法。

【請求項 2】基板に形成した回路素子と、前記基板に成膜した絶縁膜に形成した配線層とをコンタクトホールを介して接続した半導体装置を製造するに際し、

前記基板の回路素子の配置密度が高い領域に比べて低い領域でこの回路素子の周囲で前記絶縁膜と当接する側に、コンタクトホールのエッチングを前記基板まで到達させない保護層を形成してからこの基板に前記絶縁膜を成膜し、

前記絶縁膜の前記回路素子と当接する領域にコンタクトホールをエッチング形成するとともに、前記絶縁膜の前記保護層と当接する領域にダミーのコンタクトホールをエッチング形成し、

前記コンタクトホールを介して回路素子に接続する配線層を形成して半導体装置を製造する半導体装置の製造方法。

【請求項 3】基板に積層した複数層の絶縁膜にそれぞれ配線層を形成しこれらの配線層間をビアコンタクトホールを介して接続した半導体装置を製造するに際し、

形成済みの第 1 絶縁膜に積層しようとする第 2 絶縁膜のこの第 1 絶縁膜との当接側で配線層と接触しない部分に、ビアコンタクトホールのエッチングを前記第 1 絶縁膜まで到達させない保護層を形成してからこの第 1 絶縁膜に前記第 2 絶縁膜を成膜し、

前記第 2 絶縁膜の前記第 1 絶縁膜の配線層と接続する箇所にビアコンタクトホールをエッチング形成するとともに、前記第 2 絶縁膜の保護層を有する領域にダミーのビアコンタクトホールをエッチング形成し、

前記ビアコンタクトホールを介して前記第 1 絶縁膜と接続する配線層を前記第 2 絶縁膜に形成して半導体装置を製造する半導体装置の製造方法。

【請求項 4】基板に積層した複数層の絶縁膜にそれぞれ配線層を形成しこれらの配線層間をビアコンタクトホールを介して接続した半導体装置を製造するに際し、

形成済みの第 1 絶縁膜に積層しようとする第 2 絶縁膜の

ビアコンタクトホールの配置密度が高い領域に比べて低い領域でこのビアコンタクトホールの周囲で前記第 1 絶縁膜との当接側で配線層と接触しない部分に、ビアコンタクトホールのエッチングを前記第 1 絶縁膜まで到達させない保護層を形成してからこの第 1 絶縁膜に前記第 2 絶縁膜を成膜し、

前記第 2 絶縁膜の前記第 1 絶縁膜の配線層と接続する箇所にビアコンタクトホールをエッチング形成するとともに、前記第 2 絶縁膜の保護層を有する領域にダミーのビアコンタクトホールをエッチング形成し、

前記ビアコンタクトホールを介して前記第 1 絶縁膜と接続する配線層を前記第 2 絶縁膜に形成して半導体装置を製造する半導体装置の製造方法。

【請求項 5】基板に形成した分離層で囲まれて形成した回路素子と、前記基板に成膜した絶縁膜に形成した配線層とをコンタクトホールを介して接続した半導体装置において、

基板の前記分離層の領域で前記絶縁膜との当接側に、コンタクトホールのエッチングを前記基板まで到達させない保護層を設け、

前記絶縁膜の前記保護層と当接する領域にダミーのコンタクトホールを設けた半導体装置。

【請求項 6】基板に積層した複数層の絶縁膜にそれぞれ配線層を形成しこれらの配線層間をビアコンタクトホールを介して接続した半導体装置において、

前記複数層の少なくともいずれかの絶縁膜の下層の絶縁膜との当接側で配線層と接触しない部分に、ビアコンタクトホールのエッチングを前記下層の絶縁膜に到達させない保護層を設け、

前記絶縁膜の保護層を有する領域にダミーのビアコンタクトホールを設けた半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法と半導体装置に関するものである。

【0002】

【従来の技術】従来の半導体装置は、図 7、図 8 に示すように、ゲート 1 と拡散層であるソース 2、ドレイン 3 とで構成される能動素子などの回路素子 4 と、この回路素子 4 を分離するための素子分離層 5 とが形成された基板 6 の上に、第 1 層間膜 7 と第 2 層間膜 8 とを積層し、第 1 層間膜 7 に形成した第 1 金属配線 9 をコンタクトホール 10 を介してゲート 1 とソース 2 とドレイン 3 のそれぞれに接続し、第 1 層間膜 7 の第 1 金属配線 9 と、第 2 層間膜 8 に形成した第 2 金属配線 11 とをビアコンタクトホール 12 を介して接続して構成されている。

【0003】半導体装置のコンタクトホール 10 やビアコンタクトホール 12 は、半導体装置の製造上の加工精度に合わせた一定のルールに基づき形成され、回路機能上で必要な箇所にのみ配置している。従って、回路機能

の密度が半導体装置の表面図上で異なった場合は、コンタクトホール 1 0 やビアコンタクトホール 1 2 の配置密度も異なって形成されることになる。

【 0 0 0 4 】

【発明が解決しようとする課題】例えば、従来の微細化が進んでいないコンタクトホールを配置した半導体装置は、図 9 に示すように、配置密度の高いコンタクトホール 1 0 a が素子分離層 5 に囲まれた第 1 の回路素子領域 4 a に形成され、配置密度の低いコンタクトホール 1 0 b が素子分離層 5 に囲まれた第 2 の回路素子領域 4 b に形成されている。このように、微細化が進んでいないコンタクトホール 1 0 a, 1 0 b を形成する場合には、このコンタクトホールのサイズが半導体製造上のエッチングのばらつきに対して大きいので、寸法や形状の均一性に差がない。

【 0 0 0 5 】しかしながら、微細化が進んだコンタクトホールを配置した半導体装置は、図 1 0 に示すように、配置密度の高いコンタクトホール 1 0 c が素子分離層 5 に囲まれた第 1 の回路素子領域 4 c に形成され、配置密度の低いコンタクトホール 1 0 d が素子分離層 5 に囲まれた第 2 の回路素子領域 4 d に形成されている。このように、微細化が進んだコンタクトホール 1 0 c, 1 0 d の場合には、このコンタクトホールのサイズが半導体製造上のエッチングのばらつきに対して大きくないので、これらのコンタクトホール 1 0 c, 1 0 d の配置密度が異なると、半導体装置の製造上、コンタクトホールエッチングの制御性が低下し、コンタクトホール 1 0 c, 1 0 d の寸法や形状の均一性が落ちてしまい、半導体装置の歩留や品質が低下してしまう問題がある。例えば、エッチングパラメータを配置密度の高いコンタクトホール 1 0 c の方に合せてエッチング処理すると、配置密度の低いコンタクトホール 1 0 d がオーバーエッチングされたりして、コンタクトホール 1 0 c, 1 0 d の寸法や形状の均一性に差が生じる。

【 0 0 0 6 】そこで、微細化が進んだコンタクトホールの寸法や形状の均一性を上げる目的で、図 1 1 に示すように、配置密度の低いコンタクトホール 1 0 d の周囲の空き領域にダミーのコンタクトホール 1 3 を配置することが考えられるが、ダミーのコンタクトホール 1 3 は、図 1 2 に示すように、基板 6 にまで到達してしまい、基板 6 とのリーク電流が流れてしまうのでダミーのコンタクトホール 1 3 が配置できず、前記均一性を改善できない。また、このダミーのコンタクトホール 1 3 を基板 6 に到達させず素子分離層 5 の内部に位置する程度に止めるよう制御するのは非常に困難で実現不可能である。

【 0 0 0 7 】また、図 7, 図 8 に示したビアコンタクトホール 1 2 の配置密度が異なると、前述の微細化が進んだ配置密度の低いコンタクトホール 1 0 d の場合と同様に、半導体装置の製造上、ビアコンタクトホールエッチングの制御性が低下し、ビアコンタクトホールの寸法や

形状の均一性が落ちるという問題がある。そこで、ビアコンタクトホール 1 2 の寸法や形状の均一性を上げるために、配置密度の低いビアコンタクトホール 1 2 の周囲で回路機能上必要のない空き領域にダミーのビアコンタクトホール（図示せず）を配置することが考えられるが、第 1 層間膜と第 2 層間膜との間で短絡して短絡電流が流れてしまうことがあるので、ダミーのビアコンタクトホールが配置できず前記均一性を改善できない。

【 0 0 0 8 】本発明は、コンタクトホールやビアコンタクトホールの寸法や形状の均一性を向上させる半導体装置の製造方法と半導体装置を提供することを目的とする。

【 0 0 0 9 】

【課題を解決するための手段】本発明の半導体装置の製造方法は、基板に形成した分離層で囲まれて形成した回路素子と、前記基板に成膜した絶縁膜に形成した配線層とをコンタクトホールを介して接続した半導体装置を製造するに際し、基板の前記分離層の領域で前記絶縁膜と当接する側に、コンタクトホールのエッチングを前記基板まで到達させない保護層を形成してからこの基板に前記絶縁膜を成膜し、前記絶縁膜の前記回路素子と当接する領域にコンタクトホールをエッチング形成するとともに、前記絶縁膜の前記保護層と当接する領域にダミーのコンタクトホールをエッチング形成し、前記コンタクトホールを介して回路素子に接続する配線層を形成して半導体装置を製造するものである。

【 0 0 1 0 】本発明によると、コンタクトホールの寸法や形状の均一性を向上させた半導体装置を製造することができる。

【 0 0 1 1 】

【発明の実施の形態】本発明の請求項 1 に記載の発明は、基板に形成した分離層で囲まれて形成した回路素子と、前記基板に成膜した絶縁膜に形成した配線層とをコンタクトホールを介して接続した半導体装置を製造するに際し、基板の前記分離層の領域で前記絶縁膜と当接する側に、コンタクトホールのエッチングを前記基板まで到達させない保護層を形成してからこの基板に前記絶縁膜を成膜し、前記絶縁膜の前記回路素子と当接する領域にコンタクトホールをエッチング形成するとともに、前記絶縁膜の前記保護層と当接する領域にダミーのコンタクトホールをエッチング形成し、前記コンタクトホールを介して回路素子に接続する配線層を形成して半導体装置を製造する半導体装置の製造方法としたものであり、ダミーのコンタクトホールを保護層で確実に止めることができ、ダミーのコンタクトホールが分離層の下に基板にまで到達するのを防止でき、基板とのリーク電流を発生させずコンタクトホールの寸法や形状の均一性を向上させるためのダミーのコンタクトホールの形成を実現でき、コンタクトホールの寸法や形状の均一性を向上させた半導体装置を製造することができる。

【0012】本発明の請求項2に記載の発明は、基板に形成した回路素子と、前記基板に成膜した絶縁膜に形成した配線層とをコンタクトホールを介して接続した半導体装置を製造するに際し、前記基板の回路素子の配置密度が高い領域に比べて低い領域でこの回路素子の周囲で前記絶縁膜と当接する側に、コンタクトホールのエッチングを前記基板まで到達させない保護層を形成してからこの基板に前記絶縁膜を成膜し、前記絶縁膜の前記回路素子と当接する領域にコンタクトホールをエッチング形成するとともに、前記絶縁膜の前記保護層と当接する領域にダミーのコンタクトホールをエッチング形成し、前記コンタクトホールを介して回路素子に接続する配線層を形成して半導体装置を製造する半導体装置の製造方法としたものであり、基板の回路素子の配置密度が低い領域にダミーのコンタクトホールを形成することができるので、コンタクトホールの密度を疎密差がないように均一にでき、コンタクトホールの寸法や形状を均一に形成することができ、コンタクトホールの寸法や形状の不均一による半導体装置の歩留低下や品質低下を解消することができる。

【0013】本発明の請求項3に記載の発明は、基板に積層した複数層の絶縁膜にそれぞれ配線層を形成しこれらの配線層間をビアコンタクトホールを介して接続した半導体装置を製造するに際し、形成済みの第1絶縁膜に積層しようとする第2絶縁膜のこの第1絶縁膜との当接側で配線層と接触しない部分に、ビアコンタクトホールのエッチングを前記第1絶縁膜まで到達させない保護層を形成してからこの第1絶縁膜に前記第2絶縁膜を成膜し、前記第2絶縁膜の前記第1絶縁膜の配線層と接続する箇所にビアコンタクトホールをエッチング形成するとともに、前記第2絶縁膜の保護層を有する領域にダミーのビアコンタクトホールをエッチング形成し、前記ビアコンタクトホールを介して前記第1絶縁膜と接続する配線層を前記第2絶縁膜に形成して半導体装置を製造する半導体装置の製造方法としたものであり、ダミーのビアコンタクトホールを保護層で確実に止めることができ、ダミーのビアコンタクトホールが第1絶縁膜の配線層に接触するのを防止でき、第1絶縁膜の配線層と第2絶縁膜の配線層とが短絡して短絡電流が流れることを防止でき、ビアコンタクトホールの寸法や形状の均一性を向上させるためのダミーのビアコンタクトホールの形成を実現でき、ビアコンタクトホールの寸法や形状の均一性を向上させた半導体装置を製造することができる。

【0014】本発明の請求項4に記載の発明は、基板に積層した複数層の絶縁膜にそれぞれ配線層を形成しこれらの配線層間をビアコンタクトホールを介して接続した半導体装置を製造するに際し、形成済みの第1絶縁膜に積層しようとする第2絶縁膜のビアコンタクトホールの配置密度が高い領域に比べて低い領域でこのビアコンタクトホールの周囲で前記第1絶縁膜との当接側で配線層

と接触しない部分に、ビアコンタクトホールのエッチングを前記第1絶縁膜まで到達させない保護層を形成してからこの第1絶縁膜に前記第2絶縁膜を成膜し、前記第2絶縁膜の前記第1絶縁膜の配線層と接続する箇所にビアコンタクトホールをエッチング形成するとともに、前記第2絶縁膜の保護層を有する領域にダミーのビアコンタクトホールをエッチング形成し、前記ビアコンタクトホールを介して前記第1絶縁膜と接続する配線層を前記第2絶縁膜に形成して半導体装置を製造する半導体装置の製造方法としたものであり、第2絶縁膜のビアコンタクトホールの配置密度が低い領域にダミーのビアコンタクトホールを形成することができるので、ビアコンタクトホールの密度を疎密差がないように均一にでき、ビアコンタクトホールの寸法や形状を均一に形成することができ、ビアコンタクトホールの寸法や形状の不均一による半導体装置の歩留低下や品質低下を解消することができる。

【0015】本発明の請求項5に記載の発明は、基板に形成した分離層で囲まれて形成した回路素子と、前記基板に成膜した絶縁膜に形成した配線層とをコンタクトホールを介して接続した半導体装置において、基板の前記分離層の領域で前記絶縁膜との当接側に、コンタクトホールのエッチングを前記基板まで到達させない保護層を設け、前記絶縁膜の前記保護層と当接する領域にダミーのコンタクトホールを設けた半導体装置としたものであり、コンタクトホールの寸法や形状の均一性を向上させた半導体装置を得ることができる。

【0016】本発明の請求項6に記載の発明は、基板に積層した複数層の絶縁膜にそれぞれ配線層を形成しこれらの配線層間をビアコンタクトホールを介して接続した半導体装置において、前記複数層の少なくともいずれかの絶縁膜の下層の絶縁膜との当接側で配線層と接触しない部分に、ビアコンタクトホールのエッチングを前記下層の絶縁膜に到達させない保護層を設け、前記絶縁膜の保護層を有する領域にダミーのビアコンタクトホールを設けた半導体装置としたものであり、ビアコンタクトホールの寸法や形状の均一性を向上させた半導体装置を得ることができる。

【0017】以下、本発明の半導体装置の製造方法と半導体装置を具体的な実施の形態に基づいて説明する。

(実施の形態1) 図1、図2に示した本発明の実施の形態1の半導体装置は、前述の従来例と同様に、基板6に形成した分離層としての素子分離層5で囲まれて形成した回路素子4としてのゲート1、ソース2、ドレイン3と、この基板6に成膜した絶縁膜としての第1層間膜7に形成した配線層としての第1金属配線9とをコンタクトホール10を介して接続した半導体装置であって、基板6の素子分離層5の領域で第1層間膜7との当接側に、コンタクトホール10のエッチングを基板6まで到達させない保護層としてのコンタクトエッチングストッ

層 2 1 を設け、第 1 層間膜 7 のコンタクトエッチングストップ層 2 1 と当接する領域にダミーのコンタクトホール 2 2 を設けた点が前述の従来例とは異なっている。

【0018】このコンタクトエッチングストップ層 2 1 としては、例えば、ポリシリコン膜などがある。このコンタクトエッチングストップ層 2 1 を形成する箇所としては、例えば、基板 6 における回路素子 4 の配置密度が高い領域に比べて低い領域でこの回路素子 4 の周囲で第 1 層間膜 7 との当接側に形成している。ダミーのコンタクトホール 2 2 には、第 1 金属配線 9 とは電氣的に独立したダミーパターン 2 3 を形成したり、第 1 金属配線 9 を接続したりしているが、いずれも回路機能に影響を及ぼさない。

【0019】ここで、この実施の形態 1 の半導体装置の製造プロセスを、図 3 を用いて説明する。図 3 (a) に示すように、内部に素子分離層 5 が形成された基板 6 の上にポリシリコン膜 1 a を成膜し、このポリシリコン膜 1 a の上でゲート 1 を形成する箇所とコンタクトエッチングストップ層 2 1 を形成する箇所とに第 1 レジスト 2 4 a を形成する。図 3 (b) に示すように、第 1 レジスト 2 4 a を有さない部分のポリシリコン膜 1 a をエッチングしてゲート 1 とコンタクトエッチングストップ層 2 1 とを形成する。

【0020】図 3 (c) に示すように、ソース 2 とドレイン 3 を形成しようとする箇所に不純物を注入してこのソース 2 とドレイン 3 を形成する。その後、図 3

(d) に示すように、第 1 レジスト 2 4 a を除去してこの基板 6 の上に第 1 層間膜 7 を形成し、この第 1 層間膜 7 の上に第 2 レジスト 2 4 b を形成する。図 3 (e) に示すように、第 1 層間膜 7 の第 2 レジスト 2 4 b を有さない部分をエッチングしてコンタクトホール 1 0 を形成する。具体的には、ゲート 1、ソース 2、ドレイン 3 にはコンタクトホール 1 0 が形成され、同時に、コンタクトエッチングストップ層 2 1 にはダミーのコンタクトホール 2 2 が形成されることになる。ここでは、コンタクトエッチングストップ層 2 1 に形成されたコンタクトホール 1 0 を、説明上、ダミーのコンタクトホール 2 2 と呼ぶことにする。

【0021】図 3 (f) に示すように、第 1 層間膜 7 の上に形成した第 2 レジスト 2 4 b を除去してアルミニウム 9 a を成膜し、コンタクトホール 1 0 を介してそれぞれのゲート 1、ソース 2、ドレイン 3 と接続させる第 1 金属配線 9 と、ダミーのコンタクトホール 2 2 を介してコンタクトエッチングストップ層 2 1 と接続させるダミーパターン 2 3 とを形成する箇所に第 3 レジスト 2 4 c を形成する。

【0022】図 3 (g) に示すように、アルミニウム 9 a をエッチングして第 1 金属配線 9 とダミーパターン 2 3 とを同時に形成する。このダミーパターン 2 3 は、第 1 金属配線 9 とは電氣的に独立して非接続であり、本半

導体装置の回路機能に問題ないものである。図 3 (h) に示すように、第 1 金属配線 9 とダミーパターン 2 3 との上の第 3 レジスト 2 4 c を除去して第 2 層間膜 8 を形成し、第 1 層間膜 7 の上に形成した第 1 金属配線 9 と接続するためのビアコンタクトホール 1 2 を形成する箇所を除いた第 2 層間膜 8 の部分に第 4 レジスト 2 4 d を形成する。

【0023】その後、第 2 層間膜 8 の第 4 レジスト 2 4 d を有さない部分をエッチングしてビアコンタクトホール 1 2 を形成し、この第 4 レジスト 2 4 d を除去してアルミニウムを第 2 層間膜 8 の上に成膜し、このアルミニウムをエッチングして第 2 金属配線 1 1 を形成し、図 2、図 3 に示すような半導体装置を製造する。このように構成したため、基板 6 における回路素子 4 の配置密度が高い領域に比べて低い領域でこの回路素子 4 の周囲にダミーのコンタクトホール 2 2 を形成することができるので、コンタクトホール 1 0 の密度を疎密差がないように均一にでき、コンタクトホール 1 0 の寸法や形状を均一に形成することができ、コンタクトホール 1 0 の寸法や形状の不均一による半導体装置の歩留低下や品質低下を解消することができる。

【0024】具体的には、ダミーのコンタクトホール 2 2 は、基板 6 に設けられたコンタクトエッチングストップ層 2 1 の上に形成しているので、このコンタクトエッチングストップ層 2 1 でダミーのコンタクトホール 2 2 が確実に止まり、ダミーのコンタクトホール 2 2 が素子分離層 5 の下の基板 6 にまで到達するのを防止でき、基板 6 とのリーク電流を発生させないダミーのコンタクトホール 2 2 の形成を実現でき、このダミーのコンタクトホール 2 2 と接続されるダミーパターン 2 3 を、第 1 金属配線 9 とは電氣的に独立させて形成したり、第 1 金属配線 9 と接続されていても素子分離層 5 の上に形成されているので、半導体装置の回路機能に影響を及ぼすことなくダミーパターン 2 3 の配置を実現できる。

【0025】(実施の形態 2) 図 4、図 5 に示した本実施の形態 2 の半導体装置は、前述の従来例と同様に、基板 6 に積層した複数層の絶縁膜としての第 1、第 2 層間膜 7、8 にそれぞれ配線層としての第 1、第 2 金属配線 9、11 を形成しこの第 1、第 2 金属配線 9、11 の間をビアコンタクトホール 1 2 を介して接続した半導体装置であって、第 2 層間膜 8 の第 1 層間膜 7 との当接側で第 1 金属配線 9 と接触しない部分に、ビアコンタクトホール 1 2 のエッチングを第 1 層間膜 7 に到達させない保護層としてのビアコンタクトエッチングストップ層 2 5 を設け、第 2 層間膜 8 のビアコンタクトエッチングストップ層 2 5 を有する領域にダミーのビアコンタクトホール 2 6 を設けた点が前述の従来例とは異なっている。

【0026】このビアコンタクトエッチングストップ層 2 5 としては、例えば、ポリシリコン膜などがある。このビアコンタクトエッチングストップ層 2 5 を形成する

箇所としては、例えば、第2層間膜8におけるビアコンタクトホール12の配置密度が高い領域に比べて低い領域でこのビアコンタクトホール12の周囲で第1層間膜7との当接側で第1金属配線9と接触しない部分としている。ダミーのビアコンタクトホール26には、第1、第2金属配線9、11とは電氣的に独立したダミーパターン27を形成している。

【0027】ここで、この実施の形態1の半導体装置の製造プロセスを、図6を用いて説明する。図6(a)に示すように、素子分離層5の内側に回路素子4としてのゲート1、ソース2、ドレイン3が形成された基板6の上に第1層間膜7を形成し、この第1層間膜7の上にアルミニウム1aを成膜する。図6(b)に示すように、成膜したアルミニウム1aの上で第1金属配線9を形成する箇所とビアコンタクトエッチングストップ層25を形成する箇所とに第3レジスト24cを形成する。

【0028】図6(c)に示すように、アルミニウム1aの第3レジスト24cを有さない部分をエッチングして、ゲート1、ソース2、ドレイン3とにコンタクトホール10を介して接続される第1金属配線9と、この第1金属配線9とは電氣的に独立で非接続であるビアコンタクトエッチングストップ層25とを形成する。第1金属配線9とビアコンタクトエッチングストップ層25との上の第3レジスト24cを除去した後に、図6(d)に示すように、第2層間膜8を形成し、ビアコンタクトホール12を形成する箇所とダミーのビアコンタクトホール26を形成する箇所とを除いて第4レジスト24dを形成する。

【0029】図6(e)に示すように、第2層間膜8の第4レジスト24dを有さない部分をエッチングしてビアコンタクトホール12を形成する。具体的には、第1金属配線9にはビアコンタクトホール12が形成され、同時に、ビアコンタクトエッチングストップ層25にはダミーのビアコンタクトホール26が形成されることになる。ここでは、ビアコンタクトエッチングストップ層25に形成されたビアコンタクトホール12を、説明上、ダミーのビアコンタクトホール26と呼ぶことにする。

【0030】図6(f)に示すように、第2層間膜8の上の第4レジスト24dを除去してアルミニウム11aを成膜する。図6(g)に示すように、ビアコンタクトホール12を介して第1金属配線9と接続される第2金属配線11と、ダミーのビアコンタクトホール26を介してビアコンタクトエッチングストップ層25と接続されるダミーパターン27とを形成する箇所に第5レジスト24eを形成する。このダミーパターン27は、第1、第2金属配線9、11とは電氣的に独立して非接続であり、本半導体装置の回路機能に問題ないものである。

【0031】図6(h)に示すように、第2の層間膜8の上に成膜されたアルミニウム11aの第5レジスト2

4eを有さない部分をエッチングして第2金属配線11とダミーパターン27とを同時に形成し、第2金属配線11とダミーパターン27との上の第5レジスト24eを除去し、図4、図5に示すような半導体装置を製造する。

【0032】このように構成したため、第2層間膜8におけるビアコンタクトホール12の配置密度が高い領域に比べて低い領域でこのビアコンタクトホール12の周囲で第1層間膜7との当接側で第1金属配線9と接触しない部分に、ダミーのビアコンタクトホール26を形成することができるので、ビアコンタクトホール12の密度を疎密差がないように均一にでき、ビアコンタクトホール12の寸法や形状を均一に形成することができ、ビアコンタクトホール12の寸法や形状の不均一による半導体装置の歩留低下や品質低下を解消することができる。

【0033】具体的には、ダミーのビアコンタクトホール26は、ビアコンタクトエッチングストップ層25の上に形成しているため、ダミーのビアコンタクトホール28をビアコンタクトエッチングストップ層25で確実に止めることができ、ダミーのビアコンタクトホール26が第1層間膜7の第1金属配線9に接触するのを防止でき、第1層間膜7の第1金属配線9と第2層間膜8の第2金属配線11とが短絡して短絡電流が流れることを防止できるダミーのビアコンタクトホール26の形成を実現でき、このダミーのビアコンタクトホール26と接続されるダミーパターン27を、第1、第2金属配線9、11とは電氣的に独立させて形成しているため、半導体装置の回路機能に影響を及ぼすことがないダミーパターン27の配置を実現できる。

【0034】この実施の形態2では、基板の上に2層の絶縁膜を形成しているが、基板の上に3層以上の絶縁膜を形成し、2層目以外の何れの絶縁膜に保護層とダミーのビアコンタクトホールとを設けた場合であっても、前述と同様の効果を有し、全ての絶縁膜に保護層とダミーのビアコンタクトホールとを設けた場合には、全ての絶縁膜におけるビアコンタクトホールの寸法や形状の均一性を向上させることができる。

【0035】なお、前述の実施の形態1では、第1絶縁膜に設けるコンタクトホールの寸法や形状の均一性を向上させていて、前述の実施の形態2では、第2絶縁膜に設けるビアコンタクトホールの寸法や形状の均一性を向上させているが、これらの両方を実行した場合には、コンタクトホールの寸法や形状の均一性と、ビアコンタクトホールの寸法や形状の均一性とをともに向上させた半導体装置を得ることができる。

【0036】

【発明の効果】以上のように本発明の半導体装置の製造方法によれば、基板に形成した分離層で囲まれて形成した回路素子と、前記基板に成膜した絶縁膜に形成した配

線層とをコンタクトホールを介して接続した半導体装置を製造するに際し、基板の前記分離層の領域で前記絶縁膜と当接する側に、コンタクトホールのエッチングを前記基板まで到達させない保護層を形成してからこの基板に前記絶縁膜を成膜し、前記絶縁膜の前記回路素子と当接する領域にコンタクトホールをエッチング形成するとともに、前記絶縁膜の前記保護層と当接する領域にダミーのコンタクトホールをエッチング形成し、前記コンタクトホールを介して回路素子に接続する配線層を形成して半導体装置を製造することにより、ダミーのコンタクトホールを保護層で確実に止めることができ、ダミーのコンタクトホールが分離層の下に基板にまで到達するのを防止でき、基板とのリーク電流を発生させずコンタクトホールの寸法や形状の均一性を向上させるためのダミーのコンタクトホールの形成を実現でき、コンタクトホールの寸法や形状の均一性を向上させた半導体装置を製造することができる。

【0037】基板の前記保護層を形成する箇所を、基板の回路素子の配置密度が高い領域に比べて低い領域でこの回路素子の周囲で前記絶縁膜と当接する側とする半導体装置の製造方法の場合には、基板の回路素子の配置密度が低い領域にダミーのコンタクトホールを形成することができるので、コンタクトホールの密度を疎密差がないように均一にでき、コンタクトホールの寸法や形状を均一に形成することができ、コンタクトホールの寸法や形状の不均一による半導体装置の歩留低下や品質低下を解消することができる。

【0038】また、前述とは別の本発明の半導体装置の製造方法によれば、基板に積層した複数層の絶縁膜にそれぞれ配線層を形成しこれらの配線層間をビアコンタクトホールを介して接続した半導体装置を製造するに際し、形成済みの第1絶縁膜に積層しようとする第2絶縁膜のこの第1絶縁膜との当接側で配線層と接触しない部分に、ビアコンタクトホールのエッチングを前記第1絶縁膜まで到達させない保護層を形成してからこの第1絶縁膜に前記第2絶縁膜を成膜し、前記第2絶縁膜の前記第1絶縁膜の配線層と接続する箇所にビアコンタクトホールをエッチング形成するとともに、前記第2絶縁膜の保護層を有する領域にダミーのビアコンタクトホールをエッチング形成し、前記ビアコンタクトホールを介して前記第1絶縁膜と接続する配線層を前記第2絶縁膜に形成して半導体装置を製造することにより、ダミーのビアコンタクトホールを保護層で確実に止めることができ、ダミーのビアコンタクトホールが第1絶縁膜の配線層に接触するのを防止でき、第1絶縁膜の配線層と第2絶縁膜の配線層とが短絡して短絡電流が流れることを防止でき、ビアコンタクトホールの寸法や形状の均一性を向上させるためのダミーのビアコンタクトホールの形成を実現でき、ビアコンタクトホールの寸法や形状の均一性を向上させた半導体装置を製造することができる。

【0039】第2絶縁膜の前記保護層を形成する箇所を、第2絶縁膜のビアコンタクトホールの配置密度が高い領域に比べて低い領域でこのビアコンタクトホールの周囲で第1絶縁膜との当接側で配線層と接触しない部分とする半導体装置の製造方法の場合には、第2絶縁膜のビアコンタクトホールの配置密度が低い領域にダミーのビアコンタクトホールを形成することができるので、ビアコンタクトホールの密度を疎密差がないように均一にでき、ビアコンタクトホールの寸法や形状を均一に形成することができ、ビアコンタクトホールの寸法や形状の不均一による半導体装置の歩留低下や品質低下を解消することができる。

【0040】また、本発明の半導体装置によれば、分離層で囲まれた回路素子を形成した基板のこの分離層の領域で絶縁膜との当接側に、コンタクトホールのエッチングを前記基板まで到達させない保護層を設け、前記絶縁膜の前記保護層と当接する領域にダミーのコンタクトホールを設けたことにより、コンタクトホールの寸法や形状の均一性を向上させた半導体装置を得ることができる。

【0041】また、前述とは別の本発明の半導体装置によれば、基板に積層した複数層の絶縁膜にそれぞれ配線層を形成しこれらの配線層間をビアコンタクトホールを介して接続した半導体装置において、前記複数層の少なくともいずれかの絶縁膜の下層の絶縁膜との当接側で配線層と接触しない部分に、ビアコンタクトホールのエッチングを前記下層の絶縁膜に到達させない保護層を設け、前記絶縁膜の保護層を有する領域にダミーのビアコンタクトホールを設けたことにより、ビアコンタクトホールの寸法や形状の均一性を向上させた半導体装置を得ることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1の半導体装置の要部を示す平面図

【図2】図1に示した半導体装置のA-A'の断面図

【図3】同実施の形態1の半導体装置の製造プロセスを説明する断面図

【図4】本発明の実施の形態2の半導体装置の要部を示す平面図

【図5】図4に示した半導体装置のB-B'の断面図

【図6】同実施の形態2の半導体装置の製造プロセスを説明する断面図

【図7】従来の半導体装置の要部を示す平面図

【図8】図7に示した従来の半導体装置のC-C'断面図

【図9】従来の微細化していないコンタクトホールを配置した半導体装置の要部平面図

【図10】従来の微細化したコンタクトホールを配置した半導体装置の要部平面図

【図11】図10に示した半導体装置にダミーのコンタ

13

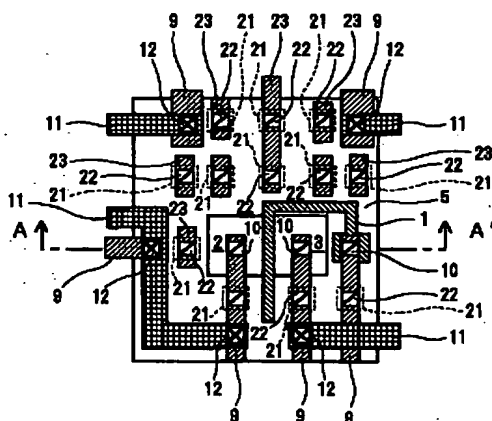
-クトホールを配置した要部平面図

【図 1 2】図 1 1 に示した半導体装置の D-D' の断面図

【符号の説明】

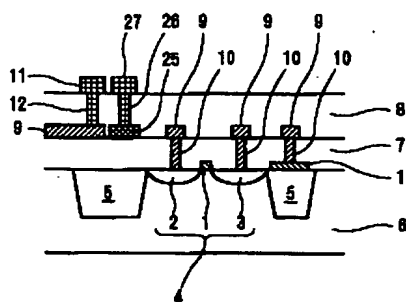
- 1 ゲート
- 2 ソース
- 3 ドレイン
- 4 回路素子
- 5 素子分離層
- 6 基板
- 7 第 1 層間膜

【図 1】



- 10 コンタクトホール
- 12 ビアコンタクトホール
- 21 コンタクトエッチングストップ層
- 22 ダミーのコンタクトホール
- 23 ダミーパターン

【図 5】



14

8 第 2 層間膜

9 第 1 金属配線

10 コンタクトホール

11 第 2 金属配線

12 ビアコンタクトホール

21 コンタクトエッチングストップ層

22 ダミーのコンタクトホール

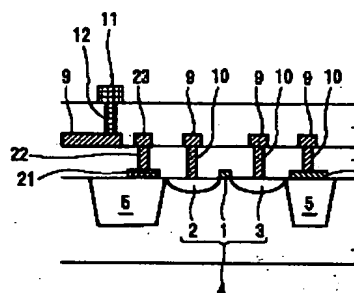
23 ダミーパターン

25 ビアコンタクトエッチングストップ層

10 26 ダミーのビアコンタクトホール

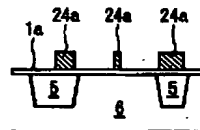
27 ダミーパターン

【図 2】

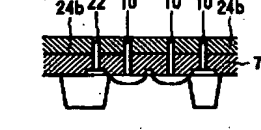


【図 3】

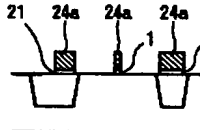
(a)



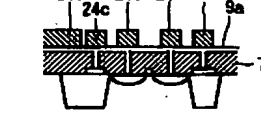
(e)



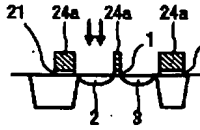
(b)



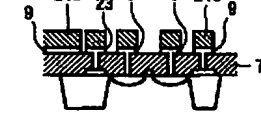
(f)



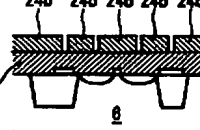
(c)



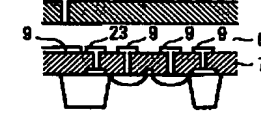
(g)



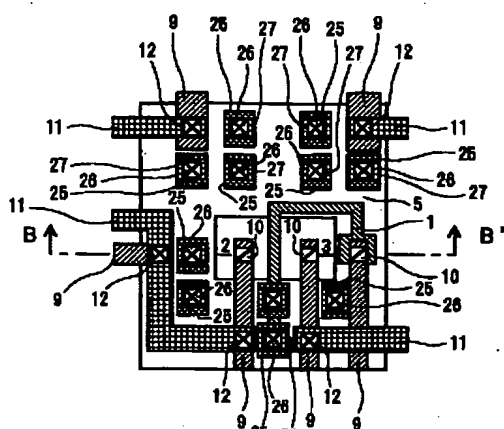
(d)



(h)

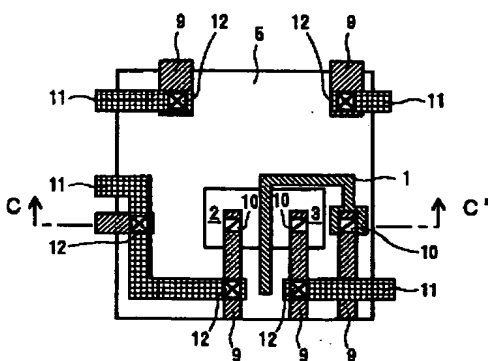


【図 4】

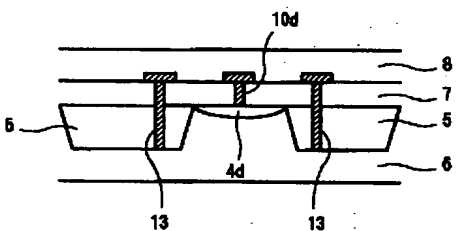


- 10 コンタクトホール
12 ピアコンタクトホール
26 ピアコンタクトエッチングストップ層
27 ダミーのピアコンタクトホール
27 ダミーパターン

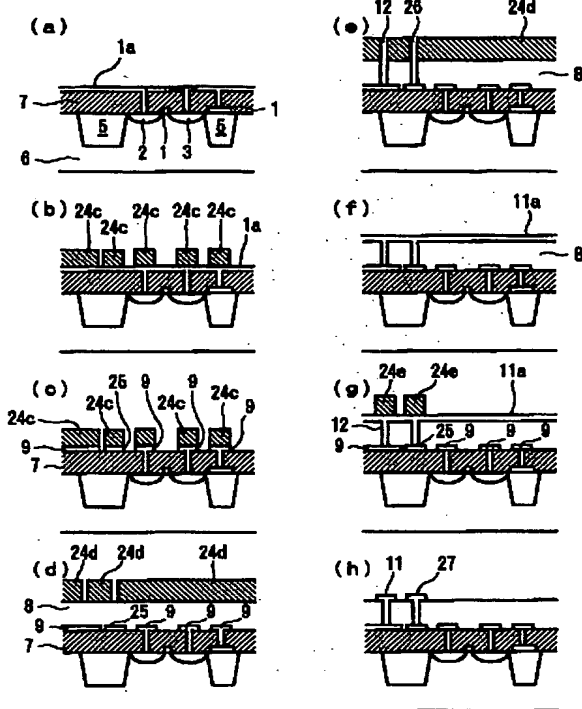
【図 7】



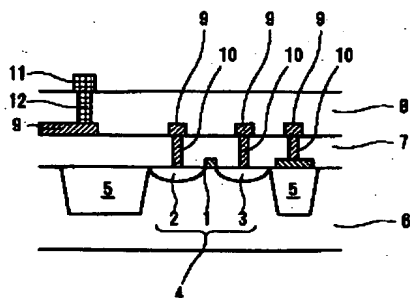
【図 12】



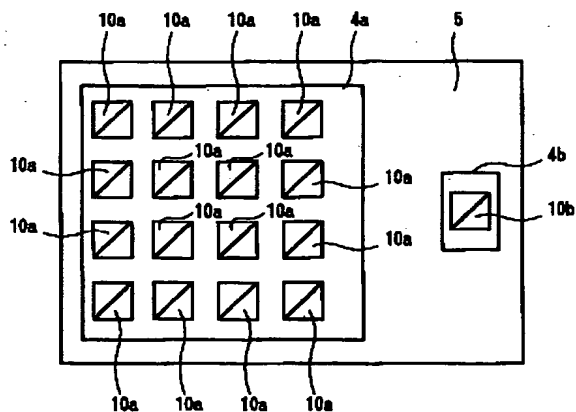
【図 6】



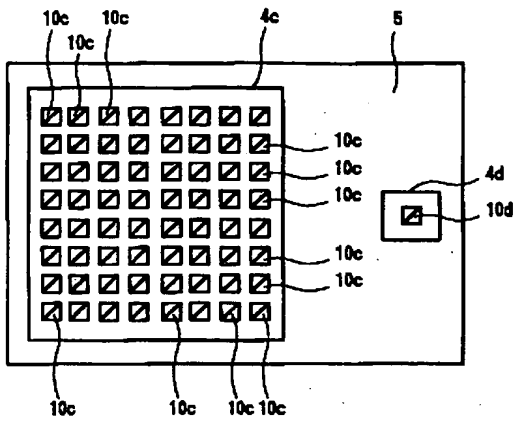
【図 8】



【図 9】



【図 10】



【図 11】

